

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068428

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

H01L 21/265
H01L 21/22
// C23C 14/06

(21)Application number : 11-240172

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 26.08.1999

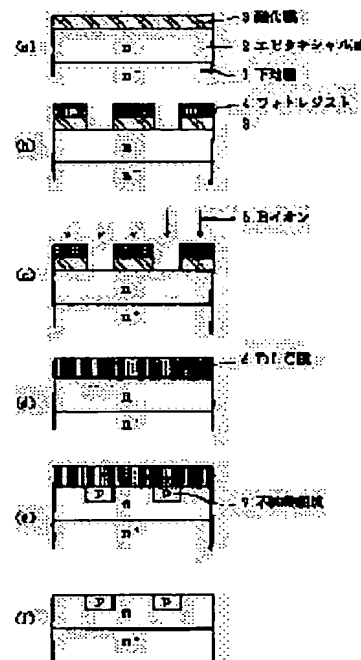
(72)Inventor : TSUJI TAKASHI

(54) MANUFACTURE OF SILICON CARBIDE SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a silicon carbide semiconductor element of good characteristics by keeping the SiC surface clean and smooth after annealing for activating ion-implanted impurities.

SOLUTION: A protective film is deposited before high temperature annealing on the surface where a mask and oxide film 3, etc., are removed after impurity ions 5 are implanted in the surface layer, so that a surface roughening is prevented while impurity atoms are suppressed from being desorbed from surface due to out-diffusion. A diamond-like carbon(DLC) film 4 or photo-resist is used for the protective film. After an organic film pattern such as photo-resist is formed, the film is carbonized to provide a graphite film which is used as a mask for selective doping by a thermal diffusion method.



LEGAL STATUS

[Date of request for examination]

17.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the silicon carbide semiconductor device characterized by depositing a protective coat on a front face, performing annealing, and removing the protective coat after annealing after performing alternative doping using a mask and removing a mask in the manufacture approach of the silicon carbide semiconductor device which forms an impurity range in the surface layer of a silicon carbide crystal plate by doping of an impurity, and subsequent annealing.

[Claim 2] The manufacture approach of the silicon carbide semiconductor device according to claim 1 characterized by a protective coat being the diamond-like carbon film or organic film.

[Claim 3] The manufacture approach of the silicon carbide semiconductor device according to claim 2 characterized by the doping approach being ion-implantation or a gas diffusion method.

[Claim 4] The manufacture approach of the silicon carbide semiconductor device according to claim 2 or 3 characterized by removing a protective coat by the oxygen plasma.

[Claim 5] The manufacture approach of the silicon carbide semiconductor device characterized by performing alternative doping using a mask, and performing annealing by the non-oxidizing atmosphere in the manufacture approach of the silicon carbide semiconductor device which forms an impurity range in the surface layer of a silicon carbide crystal plate by doping of an impurity, and subsequent annealing, with a mask not removed.

[Claim 6] The manufacture approach of the silicon carbide semiconductor device according to claim 5 characterized by a mask being the organic film.

[Claim 7] The manufacture approach of the silicon carbide semiconductor device according to claim 6 characterized by the doping approach being ion-implantation or a gas diffusion method.

[Claim 8] The manufacture approach of the silicon carbide semiconductor device according to claim 6 or 7 characterized by removing the mask which carried out silicon carbide by the after [annealing] oxygen plasma.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device made from silicon carbide (it is described as Following SiC).

[0002]

[Description of the Prior Art] In recent years, SiC attracts attention as one of the semiconductor materials which replace a silicon (it is described as Following Si). As for SiC, in 4 H-SiC, since it is large about 3 times compared with 3.25eV and it (1.12eV) of Si, a band gap can make upper limit temperature of operation high. Moreover, dielectric-breakdown field strength is 3.0 MV/cm at 4 H-SiC. Since it is large a figure single [about] compared with it (0.25 MV/cm) of Si, the on resistance which is effective with the inverse number of the cube of dielectric-breakdown field strength is reduced, and the power loss in a steady state can be reduced. Furthermore, thermal conductivity is also 4.9 W/cmK at 4 H-SiC. Since it is high 3 or more times compared with it (1.5 W/cmK) of Si, the advantage that the heat cooling effect can miniaturize a cooling system highly is also born. Since saturation drift velocity is as large as 2×10^7 cm/s, it excels also in high-speed operation.

[0003] Since it is such, as for SiC, the application to a power semiconductor device (it is called a power device below), a high frequency device, an elevated-temperature actuation device, etc. is expected. Current, MOSFET, pn diode, schottky diode, etc. are made as an experiment, and the devices which exceed the property of Si about isolation voltage and on resistance (= forward voltage/forward current at the time of energization) are occurring one after another.

[0004] The technique which controls a conductivity type and carrier concentration in the selected field is required for these component creation. There are a thermal diffusion method and ion-implantation in the approach. Application is difficult for the thermal diffusion method widely used by Si semi-conductor child into SiC since the diffusion coefficient of an impurity is very small to SiC. Therefore, in SiC, ion-implantation is usually used.

[0005] As an ion kind poured in, nitrogen (it is described as Following N) Lynn (it is described as Following P) is used to n mold, and many aluminum (it is described as Following aluminum) or boron (it is described as Following B) is used to p mold.

[0006] Drawing 3 (a) - (e) is the sectional view of the order explaining the process of the process which follows an ion implantation and it of a process.

[0007] After pretreating the epitaxial wafer which grew the epitaxial layer 2 on the substrate layer 1 from an organic solvent, an acid, etc., an oxide film 3 is formed [drawing 3 (a)].

[0008] A photoresist 4 is applied and patterning of the oxide film 3 is carried out [this drawing (b)].

[0009] The B ion 5 is poured in [this drawing (c)]. As a mask for ion implantations, a photoresist is sufficient. However, in order to stop the crystal damage by the ion implantation to the minimum, an ion implantation is sometimes performed into a several 100 degrees C - 1000 degrees C ambient atmosphere. In that case, it must be the mask of the ingredient which naturally bears garden temperature.

[0010] Before carrying out after [impregnation] elevated-temperature annealing, all of a photoresist, an oxide film, etc. are removed and it changes into the condition that the SiC front face was exposed [this drawing (d)]. This is for preventing a reaction with SiC occurring, if the thermal oxidation film etc. has accumulated on SiC at the time of subsequent elevated-temperature annealing, and etching taking place. Since there is a crystal damage especially in the field by which the ion implantation was carried out, and the bonding strength between each atom is weak and it is easy to be etched from others and a field, caution is required.

[0011] Then, elevated-temperature annealing for activating the poured-in impurity electrically is performed [this drawing (e)]. In order to activate an impurity thoroughly, with 1300 degrees C and aluminum, a 1700-degree C elevated temperature is required of N in 1500 degrees C and B. Thus, although aluminum can make annealing temperature after an ion implantation lower about 100-200 degrees C than B, since the atomic weight is large, the damage at the time of an ion implantation is more serious than B.

[0012] Moreover, at the time of elevated-temperature annealing, it is put into the sample of SiC which carried out the ion implantation into a polycrystal SiC container. This is for preventing sublimation of the atom near [hot] the front face, and preventing a surface dry area.

[0013] Then, in the case of the MOS device of insulated-gate structure, the thermal oxidation film is formed, for example. Moreover, in the case of schottky diode, a shot key electrode is formed.

[0014]

[Problem(s) to be Solved by the Invention] In the case of an atom with comparatively small atomic weight like B, the problem that B atom carries out the method of outside and method diffusion of inside at the time of 1700-degree-C annealing after an ion implantation occurs. If especially the ion-implantation depth is shallow, B atom will slip out from a front face in a vacuum by out-diffusion.

[0015] Moreover, also in any of making annealing temperature high, enlarging an ion-implantation dose, and pouring in an ion-implantation kind with a big atomic weight, there is a problem that the surface dry area by step bunching becomes intense.

[0016] Step bunching is the following phenomena. For example, it is the epitaxial layer which grew on the substrate (this include angle is called off include angle) substrate leaned in the [11-20] direction about 8 times from the field (0001) of 4 H-SiC, and in order that each atomic layer may grow up to be a longitudinal direction, it is the phenomenon in which the growth step in the edge of each atomic layer is unified under a certain condition, and surface irregularity becomes intense.

[0017] On the other hand, compared with an ion implantation, there are few processes, and they end and a thermal diffusion method can form deep junction easily. However, as stated previously, the diffusion coefficient of the impurity in SiC is dramatically small. Therefore, since it was necessary to make it an about 2000-degree C elevated temperature in order to form junction with a thermal diffusion method, and such an elevated temperature was borne and a suitable mask ingredient with easy processing of patterning etc. was not found, most diffusion methods were not enforced until now.

[0018] In view of such a problem, about the SiC front face after annealing, it is kept smooth and the object of this invention is to offer clarification and the approach of producing the device of a good property.

[0019]

[Means for Solving the Problem] In the manufacture approach of the silicon carbide semiconductor device which forms a reverse conductivity-type field in the surface layer of a silicon carbide crystal plate by doping of an impurity, and subsequent annealing, in order to solve the above-mentioned technical problem, after performing alternative doping using a mask and removing a mask, this invention shall deposit a protective coat on a front face, shall perform annealing, and shall remove the protective coat after annealing.

[0020] Especially, a protective coat shall be the diamond-like carbon film (it is described as the DLC film below), or organic film. Any of ion-implantation or a gas diffusion method are sufficient as the doping approach.

[0021] H atom in the DLC film or the organic film and O atom **** at the time of the heating at high temperature of annealing, and serve as graphite-ized C thin film at it. The melting point of graphite is 3550 degrees C, and can bear enough 2000 degrees C of temperature required for thermal diffusion. Therefore, the evaporation from the front face of poured-in B is controlled, the concentration gradient of B is decreased, and out-diffusion can be prevented as the result. Moreover, since surface Si and C atom have combined with the atom of C layer, the surface diffusion of the atom of the outermost surface of a SiC wafer is controlled, and a surface dry area is reduced.

[0022] The oxygen plasma shall remove as the clearance approach of a protective coat.

[0023] this C film — O₂ the plasma — CO and CO₂ etc. — it is become and removed.

[0024] In the manufacture approach of the silicon carbide semiconductor device which forms a reverse conductivity-type field in the surface layer of a silicon carbide crystal plate by doping of an impurity, and subsequent annealing, alternative doping using a mask is performed, and annealing may be performed by the non-oxidizing atmosphere, with a mask not removed.

[0025] Especially a mask shall be the organic film.

[0026] If it is made such, H atom in the DLC film or the organic film and O atom will **** at the time of the heating at high temperature of diffusion, and will serve as graphite-ized C thin film at it. The melting point of graphite is 3550 degrees C, and can bear enough 2000 degrees C of temperature required for thermal diffusion.

[0027] Also in this case, the oxygen plasma shall remove as the clearance approach of a mask.

[0028] that that is right, then the carbonized film — O₂ the plasma — CO and CO₂ etc. — it is become and removed.

[0029]

[Embodiment of the Invention] Based on an example, the gestalt of operation of this invention is explained below.

[0030] [Example 1] drawing 1 (a) - (f) is the sectional view of the order explaining the manufacture approach of this invention first of a process.

[0031] As a wafer, the epitaxial wafer which grew the epitaxial layer 2 was used on the substrate layer 1 of n mold 4 H-SiC of the field turned off 8 degrees from Si (0001) side. the carrier concentration of the substrate layer 1 — $1 \times 10^{18} \text{--}/\text{cm}^3$ — it is — the carrier concentration of an epitaxial layer 2 — $10 \text{ micrometers in } 1 \times 10^{16} / \text{cm}^3$ and thickness it is .

[0032] The oxide film 3 with a thickness of 30nm is first formed by 1100 degrees C and pie ROJIE nick oxidation of 5 hours on this wafer [drawing 1 (a)].

[0033] Subsequently, the photoresist 4 with a thickness of about 5 micrometers is applied by the spin coater. After 100-degree C baking raises the adhesion of a photoresist 4 and the thermal oxidation film 3, patterning of the photoresist 4 is carried out by the photolithography, and the exposed part of the thermal oxidation film 3 is etched by buffered fluoric acid after that [this drawing (b)].

[0034] Then, the B ion 5 is poured in at a room temperature [this drawing (c)]. Acceleration voltage is 30 or 60,100kV, and the total dose is $5 \times 10^{13} \text{cm}^{-2}$.

[0035] It sets in substrate temperature of 100 degrees C, and after an ion implantation and a photoresist 4 are O₂.

Plasma ashing removes. Moreover, buffered fluoric acid removes the thermal oxidation film 3 altogether. Then, the DLC film 6 with a thickness of about 100nm is formed with the ECR-CVD method using methane (CH₄) [this drawing (d)]. It is better to make internal stress small and not to apply the negative bias to a substrate during membrane formation in an ECR-CVD method for that purpose, in order to prevent the exfoliation from a SiC wafer at the time of DLC film membrane formation.

[0036] Then, 1700 degrees C and annealing for 30 minutes are performed in Ar ambient atmosphere, and poured-in B atom is activated. Thereby, a depth of about 0.5 micrometers and the impurity range 7 of concentration $1 \times 10^{18} \text{cm}^{-3}$ are formed [this drawing (e)]. At this time, it is put into a SiC sample into a polycrystal SiC container. [0037] They are after annealing and the DLC film 6 O₂ for about 4 minutes Plasma ashing removes [this drawing (f)]. The conditions of ashing are Power 300W and O₂. It is 100 degrees C in 50Pa of gas pressure, and substrate temperature.

[0038] When AFM (Atomic Force Microscope: atomic force microscope) observation of the front face which carried out the above-mentioned process was performed, surface roughness Ra was about 0.3nm. It means that surface roughness was reduced to 1/10 compared with 3nm of surface roughness at the time of annealing this value without putting a protective coat.

[0039] Moreover, in the conventional process, it was able to hold down to reduction of 20% of peak concentration in the process by this invention to the peak concentration of B having decreased 50% by the same ion implantation and same annealing of conditions.

[0040] That is, by the approach of this invention, it turns out that big effectiveness was acquired by reduction of surface roughness, and maintenance of concentration only by putting the DLC film on the whole surface.

[0041] In addition, the DLC film may be formed by the spatter and a photoresist may be used instead of the DLC film.

[Example 2] drawing 2 (a) - (d) is the sectional view of the order explaining the manufacture approach of this invention second of a process.

[0042] Like the example 1, on the substrate layer 1, it grew up and 4 H-SiC wafer activity of the epitaxial layer 2 was carried out.

[0043] After applying the photoresist 4 with a thickness of about 5 micrometers by the spin coater on an epitaxial layer 2, the part which performs patterning of the photoresist 4 and performs alternative doping is exposed [drawing 2 (a)].

[0044] Subsequently, although it carbonizes and a photoresist 4 serves as the graphite film 8 in the heating process for performing alternative doping, it is applicable enough as a mask at the time of thermal diffusion [this drawing (b)].

[0045] Doping and diffusion of 2000 degrees C and 1 hour are performed, and an impurity range 7 is formed [this drawing (c)]. In B, as doping gas 9, diboron hexahydride [B-2 H₆] can be used, for example. Carrier gas is Ar. The diffusion depth at this time is 5 micrometers. It becomes. Surface high impurity concentration was $1 \times 10^{19} \text{cm}^{-3}$. [0046] O₂ for 20 minutes Plasma ashing removes the graphite film 9 [this drawing (d)].

[0047] Also in this case, surface roughness was 0.5nm or less.

[0048] By this approach, although a mask ingredient should just be the organic film, if it is a photoresist, there is an advantage that processing for patterning is easy.

[0049] in addition — as doping gas 9 — the case of aluminum — trimethylaluminum [aluminum (CH₃)₃] — it can be used — the same annealing — the diffusion depth — showy — it is set to about 1 micrometer.

[0050]

[Effect of the Invention] By depositing protective coats, such as diamond-like carbon film or organic film, on a front face, performing annealing, and removing the protective coat by the oxygen plasma etc. after annealing, after according to this invention performing alternative doping using a mask and removing a mask, as explained above, a SiC front face can be maintained at clarification and smoothness, and the SiC semiconductor device of a good property can be produced.

[0051] Moreover, using the mask of organic film, such as a photoresist, the former very difficult alternative diffusion was attained and by carbonizing the mask showed that junction of the depth which is several micrometers could be formed.

[0052] Therefore, this invention makes a big contribution to the spread of silicon carbide semiconductor devices, and development.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] (a) - (f) is the sectional view of the order of a production process of the semiconductor device by the manufacture approach of this invention first.

[Drawing 2] (a) - (d) is the sectional view of the order of a production process of the semiconductor device by the manufacture approach of this invention second.

[Drawing 3] (a) - (e) is the sectional view of the order of a production process of the semiconductor device by the conventional manufacture approach.

[Description of Notations]

- 1 — Substrate Layer
- 2 — Epitaxial Layer
- 3 — Thermal Oxidation Film
- 4 — Photoresist
- 5 — B Ion
- 6 — DLC Film
- 7 — Impurity Range
- 8 — Graphite Film
- 9 — Doping Gas

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68428

(P 2 0 0 1 - 6 8 4 2 8 A)

(43) 公開日 平成13年 3 月 16 日 (2001. 3. 16)

(51) Int. Cl.

H01L 21/265

21/22

// C23C 14/06

識別記号

602

F I

H01L 21/265

21/22

C23C 14/06

602

A 4K029

P

F

7-72-1 (参考)

審査請求 米請求 請求項の数 8 O L (全5頁)

(21) 出願番号 特願平11-240172

(22) 出願日 平成11年 8 月 26 日 (1999. 8. 26)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田 1 番 1 号

(72) 発明者 辻 崇

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

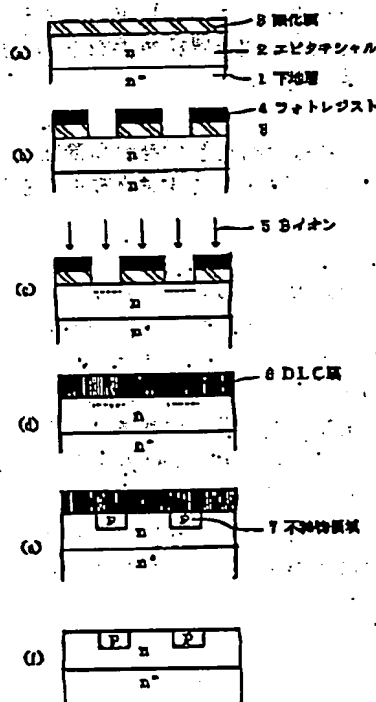
Fターム(参考) 4K029 AA04 AA24 BA55 BB03 BB10
CA05

(54) 【発明の名称】 炭化けい素半導体素子の製造方法

(57) 【要約】

【課題】イオン注入された不純物を活性化するためのアニール後のSiC表面を清浄かつ平滑に保持し、良好な特性の炭化けい素半導体素子を作製する方法を提供する。

【解決手段】表面層に不純物イオンを注入し、マスク、酸化膜等を除去した表面に、保護膜を堆積して高温アニールをおこなうことにより、表面荒れを防ぐとともに不純物原子の外方拡散による表面からの脱離を抑制する。保護膜には、ダイヤモンドライクカーボン(DLC)膜や、フォトリソグが使用できる。また、フォトリソグ等の有機膜パターンを形成後、その膜を炭化させたグラファイト膜をマスクとして熱拡散法による選択ドーピングをおこなう。



【特許請求の範囲】

【請求項1】炭化けい素結晶板の表面層に不純物のドーピングとその後のアニールにより不純物領域を形成する炭化けい素半導体素子の製造方法において、マスクを用いた選択的なドーピングをおこない、マスクを除去した後、表面に保護膜を堆積してアニールをおこない、アニール後その保護膜を除去することを特徴とする炭化けい素半導体素子の製造方法。

【請求項2】保護膜がダイヤモンドドライカーボン膜または有機膜であることを特徴とする請求項1に記載の炭化けい素半導体素子の製造方法。

【請求項3】ドーピング方法がイオン注入法またはガス拡散法であることを特徴とする請求項2に記載の炭化けい素半導体素子の製造方法。

【請求項4】保護膜を酸素プラズマにより除去することを特徴とする請求項2または3に記載の炭化けい素半導体素子の製造方法。

【請求項5】炭化けい素結晶板の表面層に不純物のドーピングとその後のアニールにより不純物領域を形成する炭化けい素半導体素子の製造方法において、マスクを用いた選択的なドーピングをおこない、マスクを除去しないまま非酸化性雰囲気アニールをおこなうことを特徴とする炭化けい素半導体素子の製造方法。

【請求項6】マスクが有機膜であることを特徴とする請求項5に記載の炭化けい素半導体素子の製造方法。

【請求項7】ドーピング方法がイオン注入法またはガス拡散法であることを特徴とする請求項6に記載の炭化けい素半導体素子の製造方法。

【請求項8】アニール後酸素プラズマにより炭化けい素したマスクを除去することを特徴とする請求項6または7に記載の炭化けい素半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は炭化けい素（以下SiCと記す）を材料とする半導体素子の製造方法に関する。

【0002】

【従来の技術】近年、けい素（以下Siと記す）に代わる半導体材料の一つとしてSiCが注目されている。SiCは、バンドギャップが4H-SiCで3.25eVと、Siのそれ（1.12eV）に比べて3倍近く大きい

ため、動作上限温度を高くできる。また、絶縁破壊電界強度が4H-SiCで3.0MV/cmと、Siのそれ（0.25MV/cm）に比べて約1桁大きい。また、絶縁破壊電界強度の3乗の逆数で効いてくるオン抵抗が低減され、定常状態での電力損失を低減できる。更に、熱伝導度も4H-SiCで4.9W/cmKとSiのそれ（1.5W/cmK）に比べて3倍以上高いので、熱冷却効果が高く冷却装置を小型化できるという利点も生まれる。飽和ドリフト速度が 2×10^7 cm/sと大きいので、高速動作に

も優れている。

【0003】このようなことからSiCは、電力用半導体素子（以下パワーデバイスと呼ぶ）や高周波デバイス、高温動作デバイスなどへの応用が期待されている。現在、MOSFET、pnダイオード、ショットキーダイオード等が試作され、絶縁耐圧とオン抵抗（＝通電時の順方向電圧／順方向電流）に関してはSiの特性を超えるデバイスが統出している。

【0004】これらの素子作成には、選択された領域において導電型やキャリア濃度を制御する技術が必要である。その方法には、熱拡散法とイオン注入法がある。SiC中においては不純物の拡散係数が非常に小さいため、Si半導体で広く用いられている熱拡散法はSiCには適用が難しい。そのため、SiCでは通常イオン注入法が用いられている。

【0005】注入されるイオン種としては、n型に対しては窒素（以下Nと記す）リン（以下Pと記す）が用いられ、p型に対してはアルミニウム（以下Alと記す）またはほう素（以下Bと記す）が多く用いられる。

【0006】図3（a）～（e）はイオン注入とそれに引き続くプロセスの工程を説明する工程順の断面図である。

【0007】下地層1上にエピタキシャル層2を成長したエピタキシャルウェハを有機溶剤や酸等で前処理した後、酸化膜3を形成する【図3（a）】。

【0008】フォトレジスト4を塗布し、酸化膜3をパターニングする【同図（b）】。

【0009】Bイオン5を注入する【同図（c）】。イオン注入用のマスクとしてはフォトレジストでも良い。しかし、イオン注入による結晶ダメージを最小限に抑えるためとして数100℃～1000℃の雰囲気中においてイオン注入が行われる。その場合は、当然固温度に耐える材料のマスクでなければならない。

【0010】注入後高温アニールする前に、フォトレジストや酸化膜などを全て除去し、SiC表面が露出した状態にする【同図（d）】。これは、その後の高温アニール時にSiC上に熱酸化膜などが堆積されているとSiCとの反応が起こり、エッチングが起こることを防ぐためである。特に、イオン注入された領域には結晶ダメージがあり、各原子間の結合力が弱いので他の領域よりエッチングされやすいので注意が必要である。

【0011】その後、注入された不純物を電気的に活性化するための高温アニールをおこなう【同図（e）】。不純物を完全に活性化するためには、Nでは1300℃、Alでは1500℃、Bでは1700℃の高温が必要である。このようにAlはイオン注入後のアニール温度をBより100～200℃程度低くできるが、Bより原子量が大きいためイオン注入時のダメージは大きい。

【0012】また、高温アニール時には、イオン注入したSiCのサンプルは多結晶SiC容器中に入れられ

る。これは、高温における表面近傍の原子の昇華を防止して表面荒れを防ぐためである。

【0013】この後、例えば絶縁ゲート構造のMOS素子の場合には、熱酸化膜を形成する。また、ショットキーダイオードの場合は、ショットキー電極を形成する。

【0014】

【発明が解決しようとする課題】Bのような比較的原子量の小さい原子の場合、イオン注入後の1700℃アニール時にB原子が外方・内方拡散するという問題が発生する。特にイオン注入深さが浅いと、外方拡散により表面からB原子が真空中に抜け出してしまふ。

【0015】また、アニール温度を高くすること、イオン注入ドーズ量を大きくすること、原子量の大きいイオン注入種を注入することのいずれにおいても、ステップバンチングによる表面荒れが激しくなるという問題がある。

【0016】ステップバンチングとは次のような現象のことである。例えば4H-SiCの(0001)面から[11-20]方向に8度程度傾けた(この角度をオフ角度という)下地基板の上に成長したエピタキシャル層で、各原子層が横方向に成長していくため、各原子層の端にある成長ステップが、ある条件下において統合されて、表面の凹凸が激しくなる現象である。

【0017】一方、熱拡散法はイオン注入に比べて工程が少なくて済み、深い接合を容易に形成することができる。しかしながら、先に述べたようにSiC中における不純物の拡散係数は非常に小さい。従って、熱拡散法により接合を形成するためには2000℃近くの高温にする必要があり、そのような高温に耐え、かつパターンニングなどの加工が容易な適当なマスク材料が見当たらないため、これまで拡散法は殆ど実施されなかった。

【0018】このような問題に鑑み本発明の目的は、アニール後のSiC表面を清浄かつ平滑に保ち、良好な特性のデバイスを作製する方法を提供することにある。

【0019】

【課題を解決するための手段】上記の課題を解決するため本発明は、炭化けい素結晶板の表面層に不純物のドーピングとその後のアニールにより逆導電型領域を形成する炭化けい素半導体素子の製造方法において、マスクを用いた選択的なドーピングをおこない、マスクを除去した後、表面に保護膜を堆積してアニールをおこない、アニール後その保護膜を除去するものとする。

【0020】特に、保護膜がダイヤモンドライクカーボン膜(以下DLC膜と記す)または有機膜であるものとする。ドーピング方法はイオン注入法またはガス拡散法のいずれでも良い。

【0021】アニールの高温加熱時にDLC膜や有機膜中のH原子、O原子が脱離し、グラファイト化したC薄膜となる。グラファイトの融点は3550℃であり、熱拡散に必要な温度の2000℃に十分耐え得る。従っ

て、注入されたBの表面からの蒸発を抑制してBの濃度勾配を減少させ、その結果として外方拡散を防止できる。また、表面のSi、C原子がC層の原子と結合しているためにSiCウェハーの最表面の原子の表面拡散を抑制して表面荒れが低減される。

【0022】保護膜の除去方法としては、酸素プラズマにより除去するものとする。

【0023】このC膜はO₂プラズマによりCO、CO₂などとなって除去される。

【0024】炭化けい素結晶板の表面層に不純物のドーピングとその後のアニールにより逆導電型領域を形成する炭化けい素半導体素子の製造方法において、マスクを用いた選択的なドーピングをおこない、マスクを除去しないまま非酸化性雰囲気アニールをおこなっても良い。

【0025】特にマスクが有機膜であるものとする。

【0026】そのようにすれば、拡散の高温加熱時にDLC膜や有機膜中のH原子、O原子が脱離し、グラファイト化したC薄膜となる。グラファイトの融点は3550℃であり、熱拡散に必要な温度の2000℃に十分耐え得る。

【0027】この場合も、マスクの除去方法としては、酸素プラズマにより除去するものとする。

【0028】そうすると、炭化した膜はO₂プラズマによりCO、CO₂などとなって除去される。

【0029】

【発明の実施の形態】以下実施例に基づき、本発明の実施の形態を説明する。

【0030】[実施例1]図1(a)～(f)は本発明第一の製造方法を説明する工程順の断面図である。

【0031】ウェハとしては、(0001)Si面から8°オフした面のn型4H-SiCの下地層1上にエピタキシャル層2を成長したエピタキシャルウェハを用いた。下地層1のキャリア濃度は $1 \times 10^{18}/\text{cm}^3$ であり、エピタキシャル層2のキャリア濃度は $1 \times 10^{18}/\text{cm}^3$ 、厚さ10μmである。

【0032】このウェハ上にまず、1100℃、5時間のパイロジェニック酸化により厚さ30nmの酸化膜3を形成する(図1(a))。

【0033】ついで、スピニングにより厚さ約5μmのフォトレジスト4を塗布する。100℃のベーキングによりフォトレジスト4と熱酸化膜3との密着性を高めた後、フォトリソグラフィによりフォトレジスト4をパターンニングし、その後パップアードフッ酸により熱酸化膜3の露出部分をエッチングする(同図(b))。

【0034】その後、室温でBイオン5の注入をおこなう(同図(c))。加速電圧は30、60、100kV、総ドーズ量は $5 \times 10^{15}/\text{cm}^2$ である。

【0035】イオン注入後、フォトレジスト4は、基板温度100℃においてO₂プラズマアッシングにより除

去する。また、熱酸化膜3をバッファードフッ酸によりすべて除去する。その後、メタン(CH_4)を用いたECR-CVD法により、厚さ約100nmのDLC膜6を成膜する(同図(d))。DLC膜成膜時にSiCウェハからの剥離を防ぐために、内部応力を小さくする必要があり、そのためにはECR-CVD法において成膜中に基板への負バイアスはかけない方がよい。

【0036】その後、Ar雰囲気中で1700℃、30分間のアニールをおこない、注入されたB原子を活性化する。これにより深さ約0.5μm、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の不純物領域7が形成される(同図(c))。この時、SiCサンプルは多結晶SiC容器中に入れられる。

【0037】アニール後、DLC膜6を約4分間の O_2 プラズマアッシングにより除去する(同図(f))。アッシングの条件はパワー300W、 O_2 ガス圧50Pa、基板温度100℃である。

【0038】上記のプロセスを実施した表面のAFM(Atomic Force Microscope: 原子間力顕微鏡)観察をおこなったところ、表面粗さRaは約0.3nmであった。この値は、保護膜を被着しないでアニールした場合の表面粗さ3nmに比べ、表面荒さが1/10に低減されたことになる。

【0039】また、同様の条件のイオン注入およびアニールにより、従来のプロセスではBのピーク濃度が50%減少していたのに対し、本発明によるプロセスにおいては20%のピーク濃度の減少に抑えることができた。

【0040】すなわち、本発明の方法では、全面にDLC膜を被着するだけで、表面荒さの低減、濃度の保持に大きな効果が得られたことがわかる。

【0041】なお、DLC膜をスパッタ法により成膜してもよいし、また、DLC膜の代わりにフォトレジストを用いてもよい。

【実施例2】図2(a)~(d)は本発明第二の製造方法を説明する工程順の断面図である。

【0042】実施例1と同様に、下地層1上にエピタキシャル層2を成長した4H-SiCウェハを使用した。

【0043】エピタキシャル層2上にスピコートにより厚さ約5μmのフォトレジスト4を塗布した後、そのフォトレジスト4のパターニングをおこなって選択的ドーピングを行う部分を露出させる(図2(a))。

【0044】次いで、選択的ドーピングをおこなうための加熱過程で、フォトレジスト4は炭化しグラファイト膜8となるが、熱拡散時のマスクとして十分適用できる(同図(b))。

【0045】2000℃、1時間のドーピングおよび拡散をおこない、不純物領域7を形成する(同図

(c))。ドーピングガス9としては、例えばBの場合にはジボラン(B_2H_6)が使用できる。キャリアガスはArである。この時の拡散深さは、5μmとなる。表面不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ であった。

【0046】20分間の O_2 プラズマアッシングにより、グラファイト膜9を除去する(同図(d))。

【0047】この場合も表面粗さは0.5nm以下であった。

【0048】この方法では、マスク材料が有機膜であれば良いが、フォトレジストであればパターニングのための加工が容易であるという利点がある。

【0049】なお、ドーピングガス9としては、A1の場合にはトリメチルアルミニウム($\text{Al}(\text{CH}_3)_3$)が使用でき、同じアニールで拡散深さは約1μmとなる。

【0050】

【発明の効果】以上説明したように本発明によれば、マスクを用いた選択的なドーピングをおこない、マスクを除去した後、表面にダイヤモンドライクカーボン膜または有機膜等の保護膜を堆積してアニールをおこない、アニール後その保護膜を酸素プラズマ等により除去することにより、SiC表面を清浄かつ平滑に保ち、良好な特性のSiC半導体デバイスを作製することができる。

【0051】また、フォトレジスト等の有機膜のマスクを用い、そのマスクを炭化させることにより、従来非常に困難であった選択的な拡散が可能になり、数μmの深さの接合を形成できることを示した。

【0052】従って本発明は、炭化けい素半導体素子の普及、発展に大きな貢献をなすものである。

【図面の簡単な説明】

【図1】(a)~(f)は本発明第一の製造方法による半導体素子の製造工程順の断面図

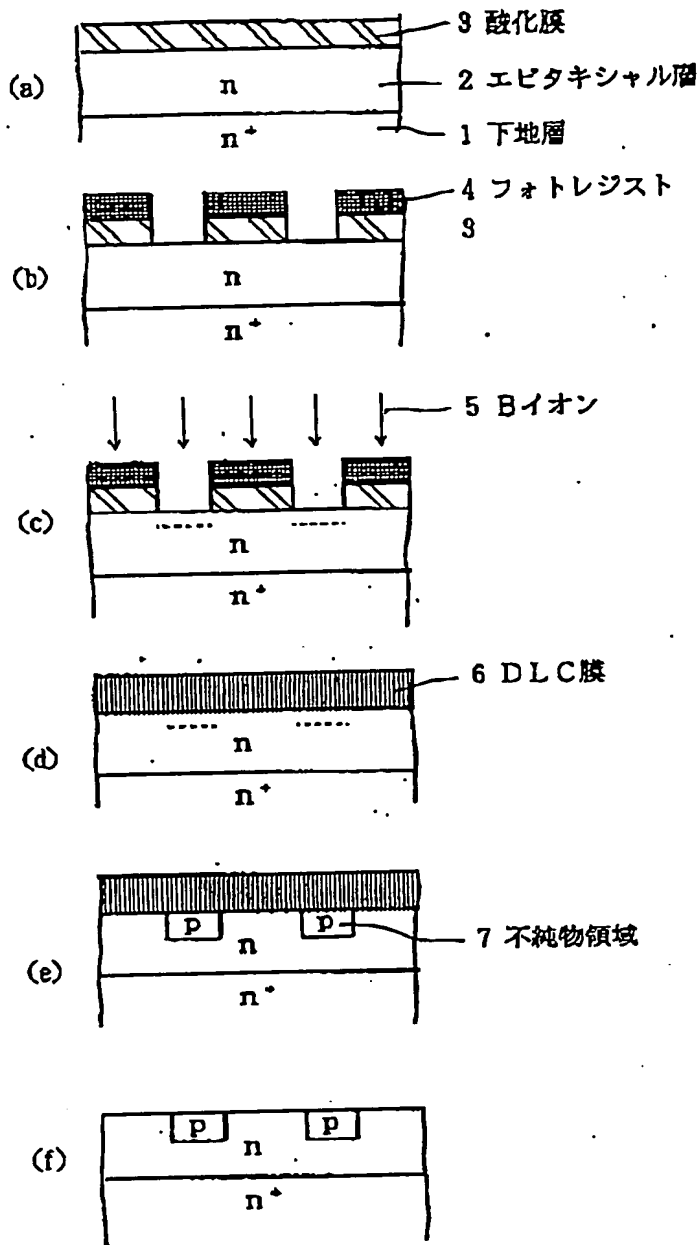
【図2】(a)~(d)は本発明第二の製造方法による半導体素子の製造工程順の断面図

【図3】(a)~(e)は従来の製造方法による半導体素子の製造工程順の断面図

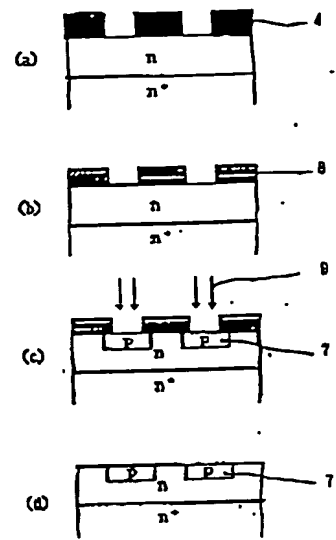
【符号の説明】

- 1 ... 下地層
- 2 ... エピタキシャル層
- 3 ... 熱酸化膜
- 4 ... フォトレジスト
- 5 ... Bイオン
- 6 ... DLC膜
- 7 ... 不純物領域
- 8 ... グラファイト膜
- 9 ... ドーピングガス

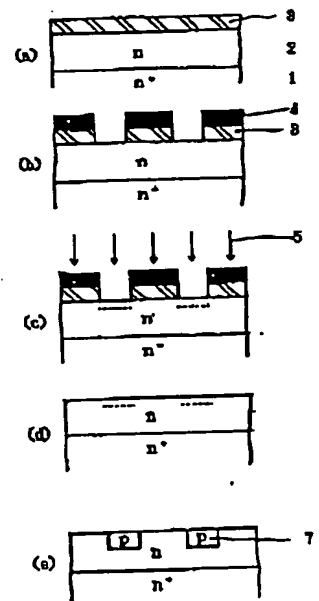
【図1】



【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.